

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0072247
Application Number PATENT-2002-0072247

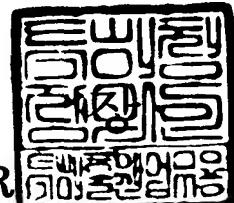
출원년월일 : 2002년 11월 20일
Date of Application NOV 20, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2002년 12월 06일

특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0001		
【제출일자】	2002.11.20		
【발명의 명칭】	클럭인에이블 버퍼를 구비한 반도체 장치		
【발명의 영문명칭】	Semiconductor device with CKE buffer		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	조광래		
【성명의 영문표기】	CHO,Kwang Rae		
【주민등록번호】	700712-1120014		
【우편번호】	463-777		
【주소】	경기도 성남시 분당구 서현동 시범 현대아파트 406-305		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	10	면	10,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	11	항	461,000 원
【합계】	500,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 반도체 장치의 초기동작시 오동작을 방지하기 위해 외부클럭을 입력받아 내부클럭신호로 전달하는 클럭버퍼가 적절한 시점에 인에이블 될 수 있도록 클럭인에이블 버퍼를 제어할 수 있는 반도체 장치를 제공하기 위한 것으로, 이를 위해 본 발명은 외부클럭을 입력받아 버퍼링하여 내부클럭으로 출력하는 클럭버퍼링 수단; 일정한 전위를 가지는 기준전압과 클럭인에이블 신호를 비교하여, 상기 클럭버퍼링 수단을 인에이블하기 위한 클럭 인에이블신호를 출력하는 클럭인에이블 버퍼링 수단; 및 파워업 신호가 입력된 후에, 상기 클럭인에이블 신호를 이용해서 상기 클럭인에이블 버퍼링 수단을 인에이블시키기 위한 인에이블신호를 생성하는 클럭인에이블 신호 래치수단을 구비하는 반도체 장치를 제공한다.

【대표도】

도 5

【색인어】

반도체, 클럭, 클럭인에이블, 래치, 파워업 펄스.

【명세서】**【발명의 명칭】**

클럭인에이블 버퍼를 구비한 반도체 장치{Semiconductor device with CKE buffer}

【도면의 간단한 설명】

도1은 종래기술에 의해 반도체 장치의 클럭신호를 입력하는 입력부의 블럭구성도.

도2는 도1에 도시된 클럭인에이블 버퍼를 나타내는 회로도.

도3은 도1에 도시된 클럭신호를 입력하는 입력부의 동작을 나타내는 파형도.

도4는 본 발명의 바람직한 실시예에 따른 반도체 장치를 나타내는 블럭구성도.

도5는 도4에 도시된 클럭인에이블 버퍼를 나타내는 회로도.

도6은 도4에 도시된 클럭인에이블 신호 래치부를 나타내는 회로도.

도7은 도4에 도시된 클럭인에이블신호 타이밍 조절부를 나타내는 회로도.

도8은 도4에 도시된 반도체 장치의 동작을 나타내는 파형도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 반도체 장치에 관한 것으로, 특히 외부 클럭신호를 버퍼링하여 반도체장치의 내부클럭을 출력하는 클럭버퍼를 인에이블하기 위한 클럭인에이블 신호를 출력하는 클럭인에이블 버퍼에 관한 것이다.

<10> 일반적인 반도체 장치는 외부에서 클럭신호를 입력받아 상기 클럭신호를 내부 동작의 기준 타이밍으로 하여 동작한다. 특히, 메모리 장치중에서 동기식 디램(Synchronous DRAM)은 외부에서 인가되는 외부 클럭 신호에 동기되어 데이터의 리드(READ) 및 라이트(WRITE) 동작이 수행된다. 이로 인해, 동기식 디램등의 반도체 장치는 외부 클럭 신호를 버퍼링하여 내부로 전달하기 위한 클럭버퍼와, 클럭버퍼를 제어하기 위한 클럭인에이블 버퍼를 구비하고 있다.

<11> 클럭인에이블 버퍼는 외부에서 입력되는 클럭인에이블신호를 래치하고, 상기 클럭버퍼로 출력하게 되며, 클럭버퍼는 클럭인에이블 버퍼에서 출력되는 신호에 인에이블되어 외부클럭신호를 버퍼링한 다음, 반도체 장치 내부로 내부클럭신호를 출력하게 된다.

<12> 통상적인 반도체 장치는 내부클럭신호를 기준 타이밍으로 해서 모든 동작이 이루어지기 때문에, 상기 클럭버퍼를 제어하기 위한 클럭인에이블 버퍼를 정확하게 동작시키는 것은 매우 중요하다.

<13> 도1은 종래기술에 의해 반도체 장치의 클럭신호를 입력하는 입력부의 블럭구성도.

<14> 도1을 참조하여 살펴보면, 통상적인 반도체 장치의 클럭신호 입력부는 클럭신호(CK, /CK)를 버퍼링하여 출력하기 위한 클럭버퍼(20)와, 클럭버퍼를 인에이블 시키기 위한 클럭인에이블 버퍼(10)를 구비한다.

<15> 클럭버퍼(20)는 출력되는 클럭신호(CK, /CK)를 입력받아 버퍼링하여 출력하기 위한 입력버퍼부(21)와, 클럭 인에이블 버퍼(10)에서 출력되는 신호에 인에이블되어 입력버퍼부(10)에서 출력되는 신호를 래치하여 내부클럭신호(CK_I, /CL_I)로 출력하기 위한 클럭신호 래치부(22)를 구비한다.

<16> 또한, 클럭인에이블 버퍼(10)는 인에이블신호(EN)에 인에이블 되어 기준전압(Vref)과 클럭인에이블신호(CKE)를 입력받아 클럭신호 래치부(30)를 인에이블시킨다.

<17> 도2는 도1에 도시된 클럭인에이블 버퍼(10)를 나타내는 회로도이다.

<18> 도2를 참조하여 살펴보면, 클럭인에이블 버퍼(10)는 기준전압(Vref)과 클럭인에이블신호(CKE)를 게이트로 각각 입력받는 앤모스트랜지스터(MN1,MN2)와, 인에이블신호(EN)를 게이트로 입력받으며 일측이 앤모스트랜지스터(MN1,MN2)의 일측에 공통으로 연결되고, 타측이 접지전원(VSS)에 연결된 앤모스트랜지스터(MN3)와, 전원전압(VDD)과 앤모스트랜지스터(MN1)의 타측을 연결하며 게이트가 앤모스트랜지스터(MN1)의 타측에 다이오드 접속된 피모스트랜지스터(MP1)와, 전원전압(VDD)과 앤모스트랜지스터(MN2)의 타측을 연결하며 피모스트랜지스터(MP1)와 전류미리를 형성하는 피모스트랜지스터(MP2)와, 게이트로 인에이블신호(EN)를 입력받으며 전원전압(VDD)과 앤모스트랜지스터(MN1)의 타측을 연결하는 피모스트랜지스터(MP3)와, 게이트로 인에이블신호(EN)를 입력받으며 전원전압(VDD)과 앤모스트랜지스터(MN2)의 타측을 연결하는 피모스트랜지스터(MP4)와, 피모스트랜지스터(MP2)와 앤모스트랜지스터(MN2)의 공통 노드의 신호를 반전하여 출력하기 위한 인버터(IN1)로 구성된다.

<19> 도3은 도1에 도시된 클럭신호 입력부의 동작을 나타내는 파형도이다.

<20> 이하에서는 도1 내지 도3을 참조하여 반도체 장치의 클럭신호 입력부의 동작에 대해서 살펴본다.

<21> 먼저, 반도체 장치에 전원전압(VDD)이 입력된 후에, 클럭인에이블버퍼(10)의 기준전압(Vref)이 입력되고, 이어서 외부에서 클럭신호(CK, /CK)도 클럭버퍼(20)의 입력 버퍼

부(21)에 입력된다. 입력 버퍼부(21)에서는 클럭신호(CK, /CK)를 버퍼링하여 출력하고, 클럭신호 래치부(22)는 이를 래치한다.

<22> 이어서 클럭 인에이블 버퍼(10)에서 클럭인에이블신호(CKE)를 입력받아 클럭신호 래치부(22)를 인에이블시키면 클럭신호 래치부(22)에서는 래치하고 있던 클럭신호(CK, /CK)를 내부클럭신호(CK_I, /CK_I)로 출력한다.

<23> 이 때 입력되는 기준전압(Vref)과 클럭인에이블신호(CKE)는 저전력과 고속동작을 위해 LVC MOS(Low Voltage CMOS) 레벨로 입력이 된다. 여기서 LVC MOS 레벨이란 입력되는 신호가 CMOS 레벨보다 작은 범위로 입력되는 것을 말하는데, 예컨대 전원전압이 3.3V일 때 CMOS 레벨은 0V ~ 3.3V 범위로 신호가 입력되는 것을 말하고, LVC MOS는 2.5 ~ 1.7V 범위로 신호가 입력되는 것을 말한다. 이렇게 LVC MOS 레벨로 신호가 입력되는 것은 전술한 바와 같이 저전력과 고속동작을 위한 것이다.

<24> 클럭신호 래치부(22)에서 출력하게 되는 내부클럭신호(CK_I, /CK_I)는 반도체 장치의 내부동작에 기준이 되는 신호로서, 입력되는 명령어(COMMAND)에 따른 동작을 수행할 수 있도록 반도체 장치를 인에이블시켜 주게 되는 중요한 기준신호이다.

<25> 그런데, 반도체 장치에 처음 전원전압(VDD)이 공급되어 클럭인에이블 버퍼(10)가 인에이블된 초기 동작시에는, 클럭인에이블신호(CKE)와 기준전압(Vref)이 모두 로우 레벨로 클럭인에이블버퍼(10)로 입력된다. 이 때 입력되는 기준전압(Vref) 및 클럭인에이블신호(CKE)는 CMOS레벨로 입력이 되기 때문에 로우 레벨이라 하더라도 전술한 바와 같이 1.7V 정도의 전압을 가기고 있게 된다.

<26> 따라서 클럭인에이블신호(CKE)와 기준전압(Vref)의 전압차이를 감지하여 클럭신호 래치부(22)를 인에이블시키는 클럭인에이블버퍼(10)가 클럭 인에이블 신호(CKE)와 기준 전압(Vref)이 모두 1.7V의 로우 레벨인 구간에서도 경우에 따라서는 클럭인에이블신호 (CKE)가 기준전압(Vref)보다 높은 전압 레벨을 가지는 것으로 인식하여 클럭신호 래치부(22)를 인에이블 시킬 수 있다.

<27> 클럭신호 래치부(22)는 인에이블되면 입력버퍼부(21)로부터 입력받아 래치한 클럭 신호(CK, /CK)를 이용해서 내부클럭신호(CK_I, /CK_I)를 반도체 장치 내부로 출력하게 된다. 내부클럭신호(CK_I, /CK_I)가 반도체 장치 내부로 입력되면, 반도체 장치는 입력되는 명령어에 따른 동작을 시작하게 되는데, 이 때에는 아직 정상적인 동작을 수행할 명령어는 입력되지 않은 상태이다. 즉, 전원전압이 공급되는 초기 동작시에 클럭인에이블신호(CKE)가 비정상적인 타이밍에 인에이블됨으로서, 반도체 장치의 동작상에 오류가 발생 될 수 있다.

<28> 따라서 클럭인에이블 버퍼(10)가 차동증폭기를 사용하여 LVCMOS 레벨로 신호를 입력받는 형태의 반도체 장치일 경우에 초기 동작시에 오류를 방지하기 위해 클럭인에이블 버퍼(10)의 동작타이밍을 적절하게 제어하는 것이 필요하다.

<29> 또한, LVCMOS 레벨이 아닌 CMOS 레벨등의 다른 레벨로 신호가 입력되더라도 기준전 압(Vref)과 클럭인에이블신호의 차이를 감지하여 클럭버퍼를 인에이블시키는 구조의 반도체 장치에서는 초기 동작시에 항상 상기의 문제점이 생길 수 있다.

【발명이 이루고자 하는 기술적 과제】

<30> 본 발명은 상기의 문제점을 해결하기 위해 제안된 것으로, 반도체 장치의 초기동작 시 오동작을 방지하기 위해 외부클럭을 입력받아 내부클럭신호로 전달하는 클럭버퍼가 적절한 시점에 인에이블 될 수 있도록 클럭인에이블 버퍼를 제어할 수 있는 반도체 장치를 제공함을 그 목적으로 한다.

【발명의 구성 및 작용】

<31> 상기의 목적을 달성하기 위해, 본 발명은 외부클럭을 입력받아 버퍼링하여 내부클럭으로 출력하는 클럭버퍼링 수단; 일정한 전위를 가지는 기준전압과 클럭인에이블 신호를 비교하여, 상기 클럭버퍼링 수단을 인에이블하기 위한 클럭 인에이블신호를 출력하는 클럭인에이블 버퍼링 수단; 및 파워업 신호가 입력된 후에, 상기 클럭인에이블 신호를 이용해서 상기 클럭인에이블 버퍼링 수단을 인에이블시키기 위한 인에이블신호를 생성하는 클럭인에이블 신호 래치수단을 구비하는 반도체 장치를 제공한다.

<32> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<33> 도4는 본 발명의 바람직한 실시예에 따른 반도체 장치를 나타내는 블럭구성도이다.

<34> 도4를 참조하여 살펴보면, 본 실시예에 따른 반도체 장치는 외부클럭(CLK)을 입력 받아 버퍼링하여 내부클럭(CLK_I)으로 출력하는 클럭버퍼(2000)와, 일정한 전위를 가지

는 기준전압(Vref)과 클럭인에이블 신호(CKE)를 비교하여, 클럭버퍼(2000)를 인에이블하기 위한 제1 제어신호(D_out)를 출력하는 클럭인에이블 버퍼(100)와, 파워업 신호(pwrup)가 입력된 후에, 클럭인에이블 신호(CKE)를 이용해서 클럭인에이블 버퍼(100)를 인에이블시키기 위한 인에이블 신호(CKE_ON)를 출력하는 클럭인에이블 신호 래치부(200)를 구비한다.

<35> 또한, 본 실시예에 따른 반도체 장치는 인에이블 신호(CKE_ON)에 따라, 제1 제어신호(D_out)를 패스시켜 클럭버퍼(2000)로 제2 제어신호(OUT)를 출력하거나, 제1 제어신호(D_OUT)를 소정시간 지연시켜 클럭버퍼(2000)로 제2 제어신호(OUT)를 출력하기 위한 클럭 인에이블신호 타이밍조절부(300)를 더 구비한다.

<36> 또한, 클럭버퍼(2000)는 외부클럭을 입력받아 버퍼링하여 출력하는 입력버퍼부(400)와, 제2 제어신호(OUT)에 의해 인에이블되어 입력버퍼부(400)의 출력을 칩 내부로 전달(CLK_I)하기 위한 클럭신호 래치부(500)를 구비한다.

<37> 도5는 도4에 도시된 클럭인에이블 버퍼를 나타내는 회로도이다.

<38> 도5를 참조하여 살펴보면, 클럭인에이블 버퍼(100)는 기준전압(Vref)과 클럭인에이블신호(CKE)를 게이트로 각각 입력받는 앤모스트랜지스터(MN1,MN2)와, 출력버퍼 인에이블신호(CKE_ON)를 게이트로 입력받으며 일측이 앤모스트랜지스터(MN1,MN2)의 일측에 공통으로 연결되고, 타측이 접지전원(VSS)에 연결된 앤모스트랜지스터(MN3)와, 전원전압(VDD)과 앤모스트랜지스터(MN1)의 타측을 연결하며 게이트가 앤모스트랜지스터(MN1)의 타측에 다이오드 접속된 피모스트랜지스터(MP1)와, 전원전압(VDD)과 앤모스트랜지스터(MN2)의 타측을 연결하며 피모스트랜지스터(MP1)와 전류미러를 형성하는 피모스트랜지스터(MP2)와, 게이트로 출력버퍼 인에이블신호(CKE_ON)를 입력받으며 전원전압(VDD)과 앤

모스트랜지스터(MN1)의 타측을 연결하는 피모스트랜지스터(MP3)와, 게이트로 출력버퍼 인에이블신호(CKE_ON)를 입력받으며 전원전압(VDD)과 앤모스트랜지스터(MN2)의 타측을 연결하는 피모스트랜지스터(MP4)와, 피모스트랜지스터(MP2)와 앤모스트랜지스터(MN2)의 공통 노드의 신호를 반전하여 제1 제어신호(D_out)를 출력하기 위한 인버터(IN1)를 구비 한다.

<39> 도6은 도4에 도시된 클럭인에이블 신호 래치부를 나타내는 회로도이다.

<40> 도6을 참조하여 살펴보면, 클럭인에이블 신호 래치부(200)는 파워업신호(pwrup)에 인에이블되어 클럭인에이블 신호(CKE)를 전달하며 출력버퍼 인에이블신호(CKE_ON)에 의해 디스에이블되는 제1 클럭인에이블 신호 래치부(210)와, 제1 클럭인에이블 신호 래치부(210)의 출력신호(S_out)를 이용해서 클럭버퍼(100)는 인에이블시키고 제1 클럭인에이블 신호 래치부(210)는 디스에이블 시키기 위한 인에이블신호(CKE_ON)를 출력하는 제2 클럭인에이블 신호 래치부(220)를 구비한다.

<41> 제1 클럭인에이블 신호 래치부(210)는 파워업신호(pwrup) 및 출력버퍼 인에이블신호를 입력받는 낸드게이트(ND1)와, 클럭인에이블 신호(CKE)를 게이트로 입력받고, 전원전압(VDD)에 연결된 제1 피모스트랜지스터(MP5)와, 클럭인에이블 신호(CKE)를 게이트로 입력받고, 제1 피모스트랜지스터(MP5)에 연결된 제1 앤모스트랜지스터(MN5)와, 제1 앤모스트랜지스터(MN1)와 접지전원(VSS)을 연결하고 게이트로 낸드게이트(ND1)의 출력을 입력받는 제2 앤모스트랜지스터(MN4)와, 제1 피모스트랜지스터(MP5)와 제1 앤모스트랜지스터(MN5)의 공통노드와 전원전압(VDD)을 연결하며, 낸드게이트(ND1)의 출력을 게이트로 입력받는 제2 피모스트랜지스터(MP6)와, 제1 피모스트랜지스터(MP5)와 상기 제1 앤모스트랜지스터(MN5)의 공통노드에 입력이 연결된 제1 인버터(IN2)를 구비한다.

<42> 제2 클럭인에이블 신호 래치부(220)는 파워업신호(pwrup)를 게이트로 입력받고, 전원전압(VDD)에 연결된 제3 피모스트랜지스터(MP7)와, 제1 인버터(IN2)의 출력을 게이트로 입력받고, 제3 피모스트랜지스터(MP7)에 연결된 제4 피모스트랜지스터(MP8)와, 제1 인버터(IN2)의 출력을 게이트로 입력받고, 제4 피모스트랜지스터(MP8)와 접지전원(VSS)을 연결하는 제3 앤모스트랜지스터(MN6)와, 제4 피모스트랜지스터(MP8)와 제3 앤모스트랜지스터(MN6)의 공통노드에 입력단이 연결되며, 상기 인에이블 신호(CKE_ON)를 출력하기 위한 제2 인버터(IN3)를 구비한다.

<43> 도7은 도4에 도시된 클럭인에이블 신호 타이밍 조절부를 나타내는 회로도이다.

<44> 클럭 인에이블신호 타이밍조절부(300)는 제1 제어신호(D_out)를 패스시켜 클럭신호 래치부(500)로 바로 출력하거나, 제1 제어신호(D_out)를 소정시간 지연시켜 클럭신호 래치부(500)로 출력하기 위한 클럭 인에이블신호 경로선택부(310)와, 출력버퍼 인에이블신호(CKE_ON)에 따라 클럭 인에이블신호 경로선택부(310)를 제어하기 위한 경로 제어부(320)를 구비한다.

<45> 클럭 인에이블신호 경로선택부(310)는 제1 신호(D_out)를 지연시켜 출력하기 위한 제1 딜레이(311)와, 제1 딜레이(311)의 출력을 출력단(X)으로 전달하기 위한 제1 전송게이트(T1)와, 클럭 인에이블신호(D_OUT)를 출력단(X)으로 바로 전달하기 위한 제2 전송게이트(T2)를 구비한다.

<46> 경로제어부(320)는 출력버퍼 인에이블신호(CKE_ON)를 게이트로 입력받는 제1 피모스트랜지스터(MP9)와, 제1 피모스트랜지스터(MP9)와 연결되고, 클럭 인에이블신호 경로선택부(310)의 출력단(X)이 게이트에 연결된 제2 피모스트랜지스터(MP10)와, 제2 피모스트랜지스터(MP10)와 접지전원(VSS)을 연결하고, 클럭 인에이블신호 경로선택부(310)의

출력단이 게이트에 연결된 제1 앤모스트랜지스터(MN8)와, 제2 피모스트랜지스터(MP10)와 제1 앤모스트랜지스터(MN8)의 공통노드에 입력단이 연결되어 제2 전송게이트(T2)를 턴온시키기 위한 제1 턴온신호(Setb)를 출력하는 제1 인버터(IN6)와, 제1 인버터(IN6)의 출력에 입력단이 연결되어 제2 전송게이트(T2)를 턴온시키기 위한 제2 턴온신호(Set)를 출력하는 제2 인버터(IN7)와, 제1 인버터(IN6)의 출력에 연결되어 제1 전송게이트(T1)를 턴온시키기 위한 제3 턴온신호(Setbd)를 출력하기 위한 제2 딜레이(323)와, 제2 인버터(IN7)의 출력에 연결되어 제1 전송게이트(T1)를 턴온시키기 위한 제4 턴온신호(Setd)를 출력하기 위한 제3 딜레이(322)를 구비한다.

<47> 도8은 도4에 도시된 반도체 장치의 동작을 나타내는 파형도이다.

<48> 이하에서는 도4 내지 도8을 참조하여 본 실시예에 따른 반도체 장치의 동작을 살펴본다.

<49> 먼저 클럭 인에이블 신호 래치부(200)의 동작을 살펴본다.

<50> 본 발명에서는 반도체 장치의 초기 동작시에 발생되는 파워업신호를 이용하게 된다. 파워업신호(pwrup)란 반도체 장치의 초기 동작모드에서 전원전압이 안정적으로 인가되었음을 감지하기 위한 신호이다. 즉, 파워업신호(pwrup)가 생성되었다는 것은 전원전압이 안정적으로 공급되고 있음을 뜻하는 것이다.

<51> 처음에 반도체 장치에 전원전압(VDD)이 제공된 후에, 파워업신호(pwrup)가 아직 생성되지 않은 때에, 즉 파워업신호(pwrup)가 로우 레벨로 클럭인에이블 신호 래치부(200)에 입력되고 있을 때에는 클럭인에이블 신호 래치부(200)의 낸드게이트(ND1) 출력은 하이 레벨로 되고, 따라서 이 때에는 앤모스트랜지스터(MN4)는 턴온상태를 유지하고 있다.

또한 이 때에 낸드게이트(ND1)의 출력이 하이레벨이 되고, 파워업신호(CKE) 및 클럭인에이블신호(CKE)가 로우레벨을 유지하고 있기 때문에 인에이블신호(CKE_ON)은 로우레벨을 유지하고 있다.

<52> 이어서 파워업신호(pwrup)가 하이레벨로 생성되어 클럭인에이블 신호 래치부(200)의 낸드게이트(ND1)로 입력되고, 다른 한편으로 기준전압(Vref)과 클럭인에이블 신호(CKE)가 클럭인에이블 버퍼(100)와 클럭인에이블 신호 래치부(200)로 입력된다.

<53> 클럭인에이블신호(CKE)가 로우에서 하이 상태로 클럭인에이블 신호 래치부(200)로 입력되면, 앤모스트랜지스터(MN5)가 턴온상태로 되어 인버터(IN2)의 출력(S-out)은 하이레벨로 되고, 이로 인해 인에이블 신호(CKE_ON)는 하이레벨로 된다. 인에이블 신호(CKE_ON)가 하이레벨로 되면 낸드게이트(ND1)의 출력은 로우레벨로 변환되고, 이로 인해 인버터(IN2)의 출력신호가 하이레벨로 고정된다. 이 때부터는 클럭인에이블 신호(CKE)의 상태에 관계없이 항상 인에이블 신호(CKE_ON)가 하이레벨로 고정되는 것이다. 이는 한번 제2 클럭인에이블 신호 래치부(220)에 구비된 피모스트랜지스터(MP7)의 게이트로 입력되는 파워업신호(pwrup)가 이후부터는 계속 하이를 유지하고 있기 때문에 피모스트랜지스터(MP7, MP8)가 동시에 턴온되는 경우는 없기 때문에 인버터(IN2)의 출력신호(S_out)가 로우로 되더라도 상기 신호가 후속 단으로 전달되지 않기 때문이다.

<54> 즉, 클럭인에이블 신호 래치부(200)는 전원이 인가되고 파워업신호가 생성되는 초기 동작시에, 로우상태를 유지하다가 처음 하이 레벨로 변환되는 클럭인에이블 신호를 한번 감지하여 로우레벨이던 인에이블 신호(CKE_ON)를 하이로 변화시키는 출력하게 되는 역할을 하는 것이다.

<55> 계속해서 클럭인에이블버퍼(100)에 대해서 살펴본다.

<56> 클럭인에이블 신호 래치부(200)에서 출력되는 인에이블 신호(CKE_ON)에 의해 클럭 인에이블 버퍼(100)가 인에이블 상태가 되어, 클럭인에이블 신호(CKE)와 기준전압(Vref)를 입력받아 비교하고, 비교한 결과에 따라 제1 제어신호(D_out)를 출력하게 된다. 제1 제어신호(D_out)는 클럭인에이블 신호 타이밍제어부(300)를 거쳐 제2 제어신호(OUT)로 출력되고, 클럭신호 래치부(500)는 제2 제어신호(OUT)를 입력받아 내부클럭(CLK_I)을 출력하게 된다.

<57> 본 실시예에 따른 반도체 장치의 인에이블 신호(CKE_ON)는 파워업신호(pwrup)가 입력되고 나서야 생성되는 신호이고, 이 신호에 의해 클럭인에이블 버퍼(100)가 인에이블 되도록 구성되어 때문에, 초기 전원전압이 인가된 후, 제대로 발생되지 않은 기준전압(Vref) 및 클럭인에이블 신호(CKE)에 의해 제어신호(D_out)가 출력되는 경우는 없게 된다.

<58> 즉, 반도체 장치의 초기동작시 클럭인에이블 버퍼(100)가 제대로 생성되지 않은 상태의 기준전압(Vref) 및 클럭인에이블 신호(CKE)를 입력받아 기준전압(Vref)에 대비하여 클럭인에이블 신호(CKE)를 하이로 인식하여, 제어신호(D_out)를 인에이블 시켜서 출력하는 경우가 제거되는 것이다.

<59> 이어서 클럭인에이블 신호 타이밍조절부(300)의 동작을 살펴본다.

<60> 전술한 본 실시예에 따르면, 클럭인에이블 신호 래치부(200)에서 클럭인에이블 신호(CKE)를 입력받아 인에이블신호(CKE_ON)를 생성하고, 인에이블신호(CKE_ON)에 의해서 클럭버퍼(2000)를 인에이블시키는 제1 제어신호(D_out)가 출력되도록 구성되어 있기 때문에, 입력되는 클럭신호(CLK)에 대해 클럭인에이블신호(CKE)의 셋업 타이밍마진(set_up time)이 줄어들 수 있다.

<61> 이를 해결하기 위해 본 발명은 클럭 인에이블신호(CKE)에 의해 생성되는 제1 제어신호(D_out)의 출력경로를 조절하는 클럭 인에이블신호 타이밍 조절부(300)를 구비하게 된다.

<62> 클럭 인에이블신호 타이밍조절부(300)는 클럭 인에이블신호 경로선택부(310)를 통해 제1 제어신호(D_out)를 바로 패스시켜 제2 제어신호(OUT)로 출력하거나, 지연딜레이를 거쳐서 제2 제어신호(OUT)를 클럭신호 래치부(500)로 출력하는 2가지 경로를 구비하고 있다.

<63> 클럭 인에이블신호 타이밍조절부(300)의 경로제어부(320)에서는 인에이블신호(CKE_ON)가 로우 레벨이고 제2 제어신호(OUT)가 로우레벨인 상태에서는 인버터(IN6)의 출력은 로우 레벨을 출력하고, 인버터(IN7)의 출력은 하이레벨을 출력하게 된다. 따라서 이 때에는 전송게이트(T2)가 턴온상태이고 전송게이트(T1)은 턴오프상태이므로, 제1 제어신호(D_OUT)는 전송게이트(T2)를 통과함으로써 제2 제어신호(OUT)로 되어 클럭버퍼(2000)로 출력된다.

<64> 이후에 클럭 인에이블신호 경로선택부(310)의 출력(OUT)이 하이레벨이 되면, 경로제어부(320)의 앤모스트랜지스터(MN8)가 턴온되어 인버터(IN6)의 입력단은 로우레벨, 출력단은 하이레벨 상태가 된다. 이어서 모스트랜지스터(MP11)가 턴온되어 인버터(IN6)의 입력단은 로우레벨 출력단은 하이상태로 래치되어 이 때부터는 계속 이 상태가 유지된다.

<65> 따라서 이 때부터는 전송게이트(T2)는 항상 턴오프상태이고, 전송게이트(T1)은 항상 턴온상태가 되어, 제1 제어신호(D_out)는 제1 딜레이(311)를 지남으로서 제2 제어신호(OUT) 되어, 클럭버퍼(2000)로 출력된다.

<66> 한편, 클럭 인에이블신호 경로선택부(310)의 인버터(IN4)와 앤모스트랜지스터(MN7)는 파워업신호(pwrup)가 로우 레벨을 유지하게 되는 초기 동작시에 제1 딜레이(311)의 입력단을 접지전원 레벨로 유지하기 위한 것이다.

<67> 즉, 클럭 인에이블신호 타이밍조절부(300)는 반도체 장치의 초기동작시에 인에이블신호(CKE_ON)가 생성되어 클럭인에이블 버퍼(100)를 처음 인에이블시킬 때에 부족한 셋업마진을 해결하기 위해, 인이에이블 신호(CKE_ON)가 하이레벨로 인에이블 된 후 처음 입력되는 제1 제어신호(D_out)는 빠르게 제2 제어신호(OUT)로 출력하고, 이후부터 입력되는 제1 제어신호(D_out)는 소정시간 지연시켜 제2 제어신호(OUT)로 출력하게 되는 것이다.

<68> 도8에 'A'부분이 클럭 인에이블신호(D_out)가 제2 전송게이트(T2)를 통과하여 출력하는 경우이고,, 'B'부분이 제1 전송게이트(T1)를 통과하여 출력하는 경우를 나타내고 있다.

<69> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<70> 본 발명에 의해 반도체 장치의 초기 동작시 파워업 신호가 입력되고 난 후에야 반도체 장치내부로 클럭신호가 입력되기 때문에, 반도체 장치의 초기 동작시 안정성을 확보할 수 있다.

【특허청구범위】**【청구항 1】**

외부클럭을 입력받아 버퍼링하여 내부클럭으로 출력하는 클럭버퍼링 수단;
일정한 전위를 가지는 기준전압과 클럭인에이블 신호를 비교하여, 상기 클럭버퍼
링 수단을 인에이블하기 위한 클럭인에이블 버퍼링 수단; 및
파워업 신호가 입력된 후에, 상기 클럭인에이블 신호를 이용해서 상기 클럭인에이
블 버퍼링 수단을 인에이블시키기 위한 인에이블신호를 생성하는 클럭인에이블 신호 래
치수단
을 구비하는 반도체 장치.

【청구항 2】

제 1 항에 있어서,
상기 인에이블신호에 응답하여 상기 클럭 인에이블신호를 패스시켜 상기 클럭버퍼
링 수단으로 출력하거나, 상기 클럭 인에이블신호를 소정시간 지연시켜 상기 클럭버퍼링
수단으로 출력하기 위한 클럭 인에이블신호 타이밍조절수단을 더 구비한 것을 특징으로
하는 반도체 장치.

【청구항 3】

제 2 항에 있어서

상기 클럭인에이블 신호 래치수단은

상기 파워업신호에 인에이블되어 상기 클럭인에이블 신호를 전달하며 출력버퍼 인에이블신호에 의해 디스에이블되는 제1 클럭인에이블 신호 래치부; 및 상기 제1 클럭인에이블 신호 래치부의 출력신호를 이용해서 상기 차동증폭형 입력버퍼를 인에이블시키고, 상기 제1 클럭인에이블 신호 래치부를 디스에이블 시키는 상기 출력버퍼 인에이블신호를 출력하는 제2 클럭인에이블 신호 래치부를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 4】

제 3 항에 있어서,

상기 제1 클럭인에이블 신호 래치부는

상기 파워업신호 및 상기 출력버퍼 인에이블신호를 입력받는 낸드게이트;

상기 클럭인에이블 신호를 게이트로 입력받고, 전원전압에 연결된 제1 피모스트랜지스터;

상기 클럭인에이블 신호를 게이트로 입력받고, 상기 제1 피모스트랜지스터에 연결된 제1 앤모스트랜지스터;

상기 제1 앤모스트랜지스터와 접지전원을 연결하고 게이트로 상기 낸드게이트의 출력을 입력받는 제2 앤모스트랜지스터;

상기 제1 피모스트랜지스터와 상기 제1 앤모스트랜지스터의 공통노드와 상기 전원전압을 연결하며, 상기 낸드게이트의 출력을 게이트로 입력받는 제2 피모스트랜지스터;

및

상기 제1 피모스트랜지스터와 상기 제1 앤모스트랜지스터의 공통노드에 입력이 연결된 제1 인버터를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 5】

제 4 항에 있어서,

상기 제2 클럭인에이블 신호 래치부는

상기 파워업신호를 게이트로 입력받고, 상기 전원전압에 연결된 제3 피모스트랜지스터;

상기 제1 인버터의 출력을 게이트로 입력받고, 상기 제3 피모스트랜지스터에 연결된 제4 피모스트랜지스터;

상기 제1 인버터의 출력을 게이트로 입력받고, 상기 제4 피모스트랜지스터와 상기 접지전원을 연결하는 제3 앤모스트랜지스터; 및

상기 제4 피모스트랜지스터와 상기 제3 앤모스트랜지스터의 공통노드에 입력단이 연결되며, 상기 출력버퍼인에이블 신호를 출력하기 위한 제2 인버터를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 6】

제 3 항에 있어서,

상기 클럭 인에이블신호 타이밍조절수단은

상기 클럭 인에이블신호를 패스시켜 상기 클럭버퍼로 바로 출력하거나, 상기 클럭 인에이블신호를 소정시간 지연시켜 상기 클럭버퍼로 출력하기 위한 클럭 인에이블신호 경로선택부; 및

상기 출력버퍼 인에이블신호에 따라 상기 클럭 인에이블신호 경로부를 제어하기 위한 경로 제어부를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 7】

제 6 항에 있어서,

상기 클럭 인에이블신호 경로선택부는

상기 클럭 인에이블신호를 지연시켜 출력하기 위한 제1 딜레이;

상기 제1 딜레이의 출력을 출력단으로 전달하기 위한 제1 전송게이트; 및

상기 클럭 인에이블신호를 상기 출력단으로 바로 전달하기 위한 제2 전송게이트를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 8】

제 7 항에 있어서,

상기 경로제어부는,

상기 출력버퍼 인에이블신호를 게이트로 입력받는 제1 피모스트랜지스터;

상기 제1 피모스트랜지스터와 연결되고, 상기 클럭 인에이블신호 경로선택부의 출력단이 게이트에 연결된 제2 피모스트랜지스터;

상기 제2 피모스트랜지스터와 접지전원을 연결하고, 상기 클럭 인에이블신호 경로 선택부의 출력단이 게이트에 연결된 제1 앤모스트랜지스터;

상기 제2 피모스트랜지스터와 상기 제1 앤모스트랜지스터의 공통노드에 입력단이 연결되어 상기 제2 전송게이트를 터온시키기 위한 제1 터온신호를 출력하는 제1 인버터;

상기 제1 인버터의 출력에 입력단이 연결되어 상기 제2 전송게이트를 터온시키기 위한 제2 터온신호를 출력하는 제2 인버터;

상기 제1 인버터의 출력에 연결되어 상기 제1 전송게이트를 터온시키기 위한 제3 터온신호를 출력하기 위한 제2 딜레이; 및

상기 제2 인버터의 출력에 연결되어 상기 제1 전송게이트를 터온시키기 위한 제4 터온신호를 출력하기 위한 제3 딜레이를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 9】

제 7 항에 있어서,

상기 클럭 인에이블신호 경로선택부는

상기 파워업신호를 반전하여 출력하는 인버터; 및

상기 인버터의 출력을 게이트로 입력받고 상기 제1 딜레이의 출력단과 접지전원을 연결하는 앤모스트랜지스터를 더 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 10】

제 8 항에 있어서,

상기 경로 제어부는

상기 제2 피모스트랜지스터와 상기 제1 앤모스트랜지스터의 공통노드에 입력단이
연결된 제3 인버터; 및

전원전압과 상기 제2 피모스트랜지스터와 상기 제1 앤모스트랜지스터의 공통노드를
연결하며 게이트로 상기 제3 인버터의 출력을 입력받는 제3 피모스트랜지스터를 더 구비
하는 것을 특징으로 하는 반도체 장치.

【청구항 11】

제 1 항에 있어서,

상기 클럭인에이블 버퍼링 수단은

상기 기준전압과 상기 클럭인에이블신호를 게이트로 각각 입력받는 제1 및 제2 앤
모스트랜지스터;

상기 출력버퍼제어신호를 게이트로 입력받으며 일측이 상기 제1 및 제2 앤모스트
랜지스터의 일측에 공통으로 연결되고, 타측이 접지전원에 연결된 제3
앤모스트랜지스터;

전원전압과 상기 제1 앤모스트랜지스터의 타측을 연결하며 게이트가 제1 앤모스트
랜지스터의 타측에 다이오드 접속된 제1 피모스트랜지스터;

상기 전원전압과 상기 제2 앤모스트랜지스터의 타측을 연결하며 상기 제1 피모스
트랜지스터와 전류미러를 형성하는 제2 피모스트랜지스터;

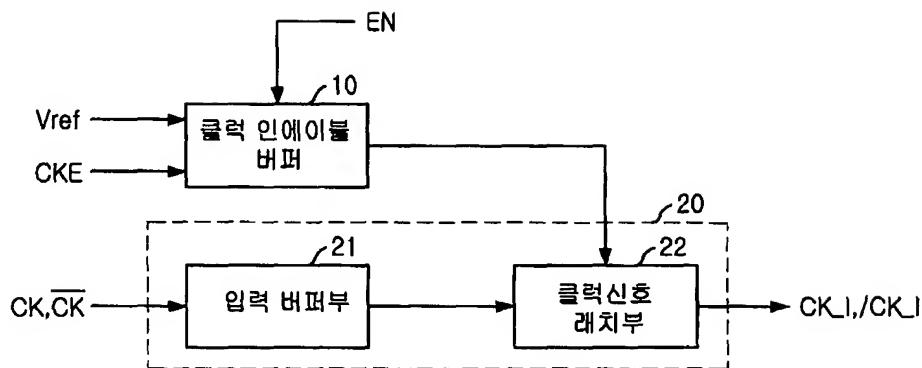
게이트로 상기 출력버퍼제어신호를 입력받으며 상기 전원전압과 제1 앤모스트랜지스터의 타측을 연결하는 제3 피모스트랜지스터;

게이트로 상기 출력버퍼제어신호를 입력받으며 상기 전원전압과 제2 앤모스트랜지스터의 타측을 연결하는 제4 피모스트랜지스터; 및

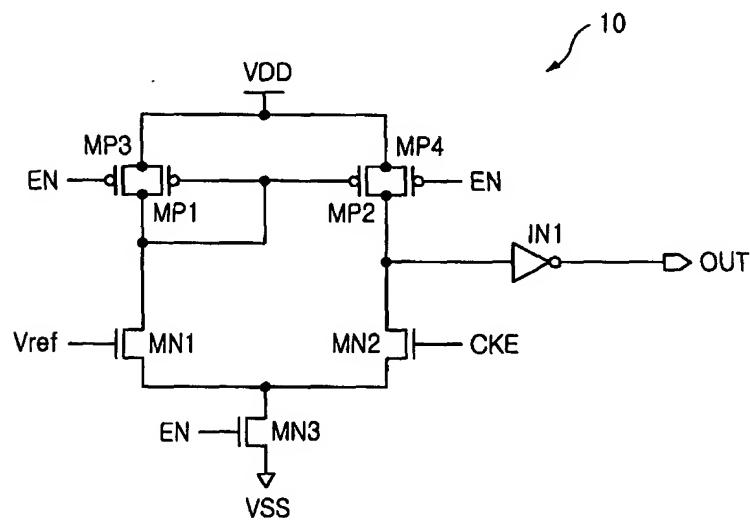
상기 제2 피모스트랜지스터와 상기 제2 앤모스트랜지스터의 공통노드에 입력단이 연결되어 상기 클럭 인에이블신호를 출력하기 위한 인버터를 구비하는 것을 특징으로 하는 반도체 장치.

【도면】

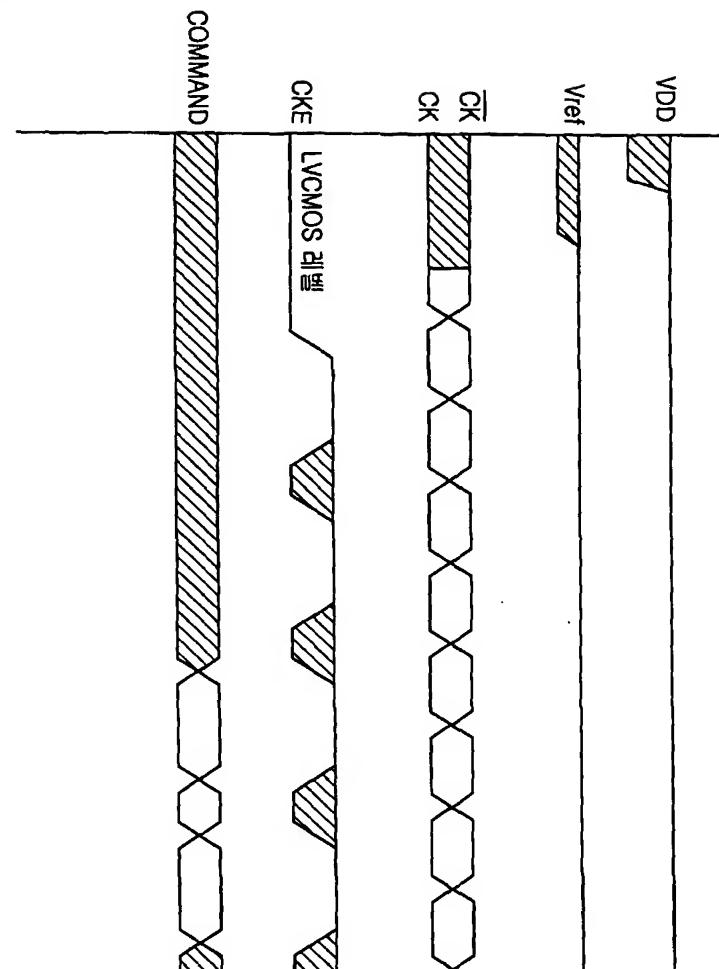
【도 1】



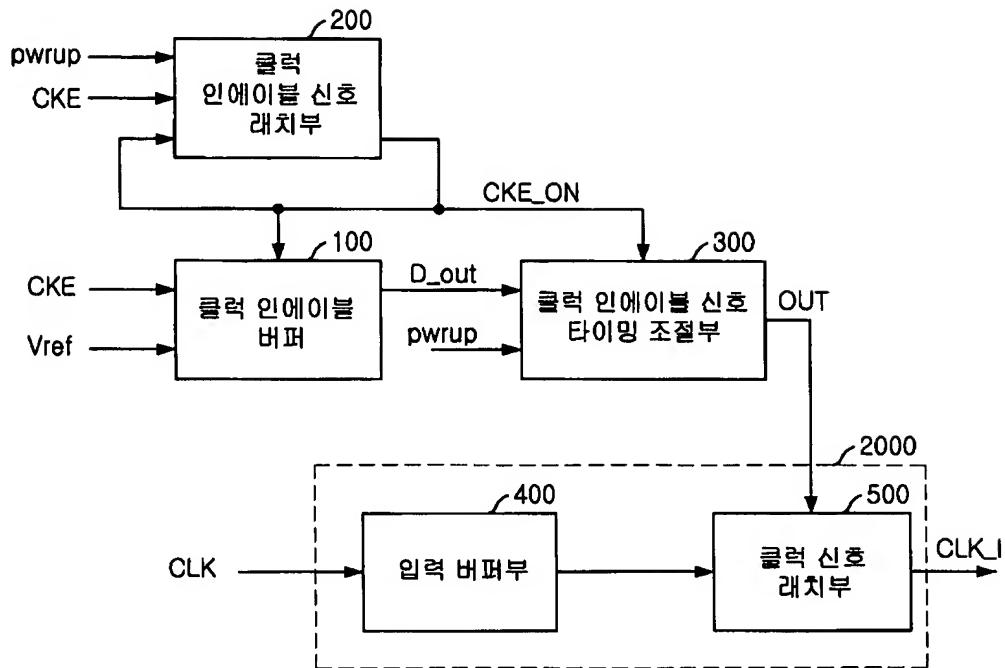
【도 2】



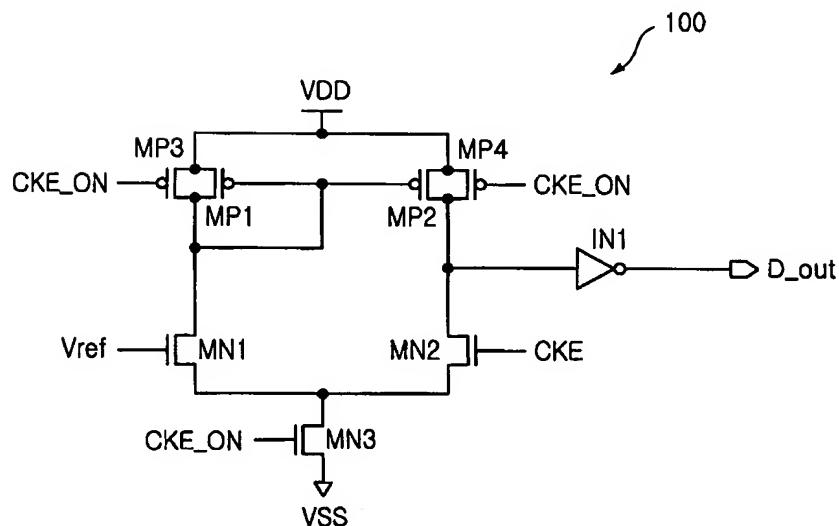
【도 3】



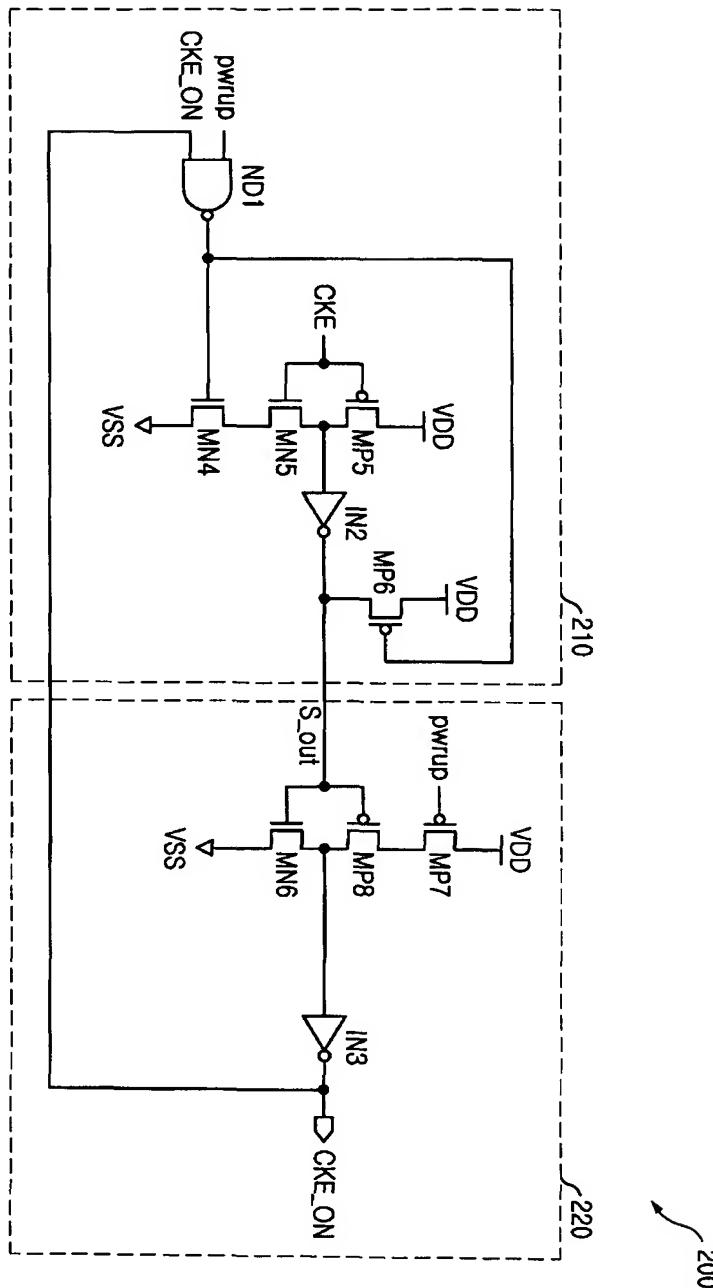
【도 4】



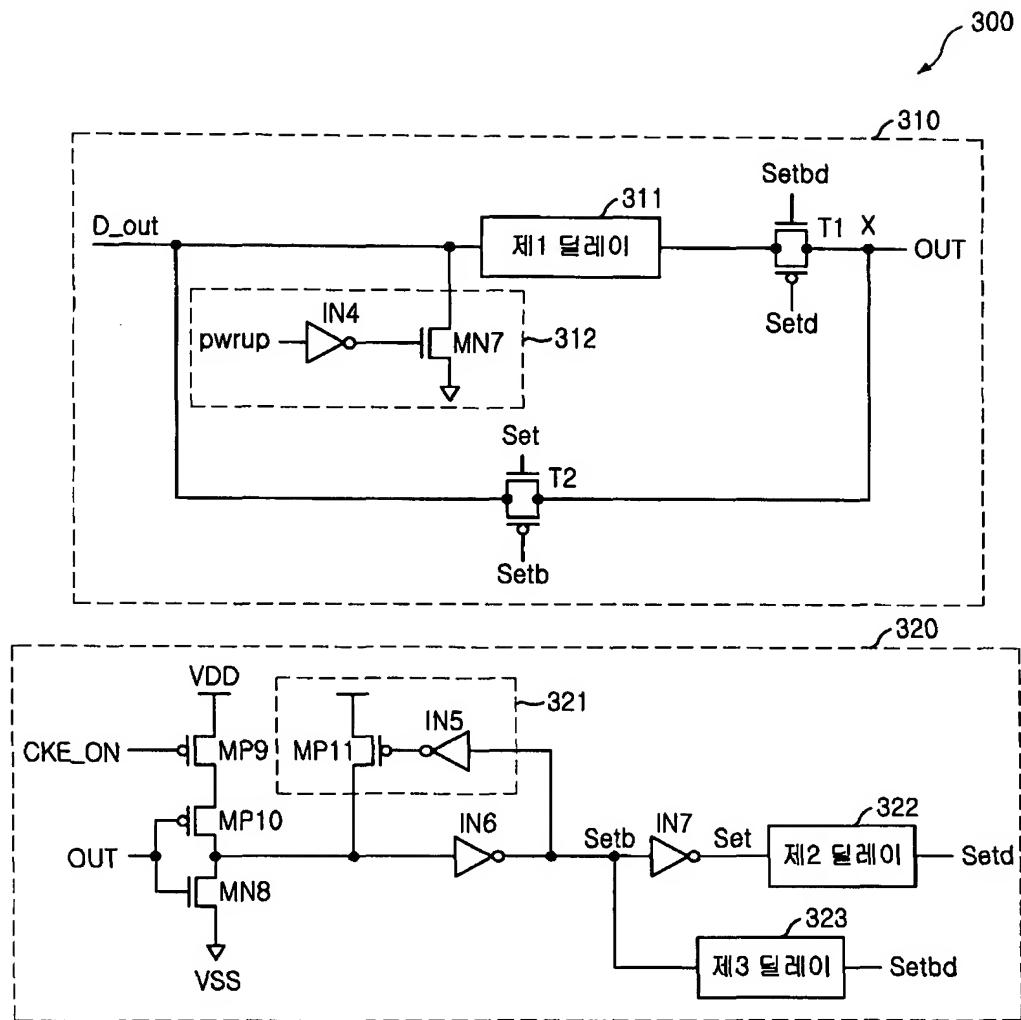
【도 5】



【도 6】



【도 7】



【도 8】

